

⑫ 公開特許公報(A)

昭63-182695

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)7月27日

G 09 G 3/36
G 02 F 1/133
G 09 F 9/35

3 3 7

8621-5C
7370-2H
6866-5C

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 液晶表示装置

⑯ 特 願 昭62-13785

⑰ 出 願 昭62(1987)1月23日

⑱ 発 明 者 安 居 勝 大阪府八尾市北久宝寺1丁目4番33号 星電器製造株式会社内

⑲ 出 願 人 星電器製造株式会社 大阪府八尾市北久宝寺1丁目4番33号

⑳ 代 理 人 弁理士 草 野 卓

明 細 書

1. 発明の名称

液晶表示装置

2. 特許請求の範囲

(1) 入力された m ビット(m は2以上の正の整数)の多階調デジタル映像信号が駆動回路へ入力され、その駆動回路はその入力輝度値に応じた駆動電圧を選択して液晶セルの対応する駆動線へそれぞれ出力する液晶表示装置において、

入力された q ビット(q は m より大きい整数)の多階調デジタル入力映像信号中の上位 m ビットの値に対して1だけ差を付けた m ビットの映像信号を出力する補正回路と、

入力映像信号の各フレームを2「-」フィールドとし、その入力映像信号の下位($q-m$)ビットの値に応じて入力映像信号の上位 m ビット又は上記補正回路の出力 m ビットを上記駆動回路へ供給する切替手段とを設けたことを特徴とする液晶表示装置。

3. 発明の詳細な説明

「産業上の利用分野」

この発明は多階調デジタル映像信号を入力して液晶セルを多階調表示する液晶表示装置に関する。

「従来の技術」

アクティブ液晶セル、つまり液晶セル内に画素電極がマトリクス状態に形成され、その画素電極の各行配列と、各列配列とにそれぞれゲートバス、ソースバスが形成され、これらゲートバス及びソースバスの各交差点において薄膜トランジスタのようなスイッチ素子とそのゲートバス、ソースバス及び画素電極に接続されて構成されている。

このようなアクティブ液晶セルを駆動する映像入力信号は一般にアナログ信号であった。多階調デジタル映像信号により全デジタル的に処理する駆動装置として第4図に示すものを先に提案した。すなわちシフトレジスタ12の初段データ端子に端子11より水平起動信号STHが入力される。またこのシフトレジスタ12は端子13よりの映像信号の画素クロック、つまりドットクロ

ックCPHによってシフトされる。シフトレジスタ12はそれぞれシフト段12、乃至12。を有し、各シフト段12、～12。と対応して第1ラッチ回路21、乃至21。が設けられている。これら第1ラッチ回路21、乃至21。には端子22から多階調デジタル映像信号が入力されており、そのデジタル映像信号の階調情報はmビットである。この端子22よりのデジタル映像信号は第1ラッチ回路21、乃至21。のデータ端子にそれぞれ印加されており、各クロック端子にはシフトレジスタの各段12、乃至12。の出力が対応して与えられている。従って水平起動信号(パルス)STHの初めから順番に各画素データが第1ラッチ回路21、乃至21。に順次ラッチされる。即ち各画素クロックごとにシフトレジスタ12内の信号STHはシフト段12、乃至12。を順次シフトし、その出力によって各画素データが第1ラッチ回路21、乃至21。に順次ラッチされる。

この1ライン(1主走査線)分の画素データの

3

スバスに印加される。

1主走査線分のデータが第1ラッチ回路21、乃至21。にラッチされると、これらデータは同時に第2ラッチ回路23、乃至23。にラッチされ、また次の主走査線信号の画素データが第1ラッチ回路21、乃至21。に順次ラッチされる。以上のことが繰返されることになる。なおレベルシフト24、乃至24。はその前段側はデジタル処理系であって、電源としてはいわゆる V_{DD} 、 V_{SS} 系が用いられているが、液晶セル側においてはこれと異ったその液晶セルに対応した適切な値をとるようになされており、このためにその電圧を変換する作用をするものである。各画素データはmビットであるから 2^m 個の輝度レベルをとるものであり、これに応じてその電圧 V 。乃至 V_s の何れかが選択されて出力されるが、時によると V 。乃至 V_s のどの電圧をも選ばないことができると便利な場合があり、このためにはいわゆるインヒビット機能をデコード25、～25。に持たせればよい。

5

ラッチが終了すると、水平起動信号STHによって第2ラッチ回路23、乃至23。に第1ラッチ回路21、乃至21。の各画素データがそれぞれ一斉にラッチされる。この第2ラッチ回路23、乃至23。の出力は必要に応じてレベルシフト24、乃至24。によって電圧レベルが変換されてデコード25、乃至25。に供給されて、各mビットの画素データはデコードされ、その 2^m の値の何れかに応じた一つの端子に出力される。

デコード25、乃至25。のそのデコード出力は選択回路26、乃至26。に供給され、選択回路26、乃至26。には共通に電圧値 V 。乃至 V_s が与えられている。 V 。乃至 V_s は入力映像信号のとり得る階調と対応して 2^m の種類の値をとるものである。従って各選択回路26、乃至26。においては、デコード25、乃至25。においてデコードされた出力に応じて電圧 V 。乃至 V_s の何れか一つが選択されて出力端子27、乃至27。に出力され、この出力端子27、乃至27。は図に示していないが液晶セルの駆動端子、例えばソー

4

第5図は入力デジタル映像信号がカラー映像画像の場合の実施例を示す。映像信号の入力端子28、28。、28。にはそのデジタル化された赤色映像信号 V_r 、緑色映像信号 V_g 、青色映像信号 V_b がそれぞれ印加されている。この例では各色信号の画素データが3ビット、即ち $m=3$ の場合を示している。また第5図において第4図と対応する部分に同一符号を付けているが、特に各色信号、赤色信号 V_r 、緑色信号 V_g 、青色信号 V_b の処理と対応して第1ラッチ回路、第2ラッチ回路、レベルシフト、デコード選択回路などのサフィクス1～nに更にサフィクスR、G、Bを付けて示している。このような構成になっているため、シフトレジスタ12の第1シフト段12に信号STHがシフトされてくると、第1ラッチ回路21_{1R}、21_{1G}、21_{1B}に対してそれぞれ端子28_{1R}、28_{1G}、28_{1B}の色信号の画素データがラッチされる。このようにして各色信号は同時に各画素ごとに順次第1ラッチ回路にラッチされ、1ライン分の画素データのラッチが終る

6

と、第1ラッチ回路の各データは同時に第2ラッチ回路に移される。以下の動作は第4図の場合と同様であるので特に説明をしない。

「発明が解決しようとする問題点」

第4図及び第5図に示した多階調デジタル映像信号の駆動装置によればその映像信号のビット数 m が多くなり、つまり階調数が多くなると、 2^m 個の選択回路26、～26。へ供給する電圧 V_0 、～ V_{2^m-1} の数が多くなり、それだけ端子数が多くなり、駆動回路をIC化する上では好ましくない。

この発明の目的は、駆動回路へ供給する映像信号のビット数 m は比較的少なく、従って選択回路へ供給する電圧数も少なく、それだけ端子数を少なくし、しかも、駆動回路へ供給する映像信号のビット数 m で決る階調数 2^m よりも多階調表示を可能とする液晶表示装置を提供することにある。

「問題点を解決するための手段」

この発明によれば、 m ビットの多階調デジタル映像信号が駆動回路へ供給され、その駆動回路は、その入力輝度値（デジタル値）に応じた駆

7

動電圧を選択して液晶セルの対応する駆動線へそれぞれ出力する液晶表示装置において、

入力された q ビット（ q は m より大きい整数）の多階調デジタル入力映像信号中の上位 m ビットの値に対して1だけ差を付けた m ビットの映像信号が補正回路により出力される。また入力映像信号の各フレームを2「フィールド」とし、その入力映像信号の下位（ $q-m$ ）ビットの値に応じて入力映像信号の上位 m ビット又は上記補正回路の出力 m ビットが上記駆動回路へ切替手段により切替え供給される。

上記補正回路は m ビットの値に対し1加算する場合と、1減算する場合とがあり、1加算する場合においては1フレームの $\ell=2$ 「フィールド」中の下位（ $q-m$ ）ビットの数だけ補正回路の出力を駆動回路へ供給し、残りを入力映像信号の上位 m ビットを直接供給する。補正回路が m ビットの値に対し1減算する場合は1フレームの $\ell=2$ 「フィールド」中の ℓ から下位（ $q-m$ ）ビットの数だけ補正回路の出力を駆動回路へ供給し、残りを入力映像信号

に分割駆動され、そのフィールド信号 FR がナンドゲート39へ供給され、このナンドゲート39に、入力映像信号の下位（ $q-m$ ）ビット、つまりこの例では D_0 、 $\sim D_3$ がインバータ41を通じて供給される。ナンドゲート39の出力によりゲート35が直接制御され、ナンドゲート39の出力をインバータ42で反転した出力でゲート37が制御される。

この構成において第1フィールド $FR=0$ の場合はゲート35が開き、ゲート37が閉じ、入力映像信号中の上位3ビット D_4 、 $\sim D_6$ がソース駆動回路33へ供給される。 $FR=1$ の第2フィールドにおいては最下位ビット D_0 が「1」の場合はゲート35が開かれるが、 $D_0=0$ の場合はゲート35が閉じ、ゲート37が開き、入力デジタル値から1だけ減算された値がソース駆動回路33に供給される。上位3ビット D_4 、 $\sim D_6$ が共に「0」の場合は補正回路36は D_4 、 $\sim D_6$ を「0」のまま出力する。

従ってソース駆動回路33の出力、つまり第4

の上位 m ビットを直接供給する。このようにすると見掛け上表示される階調の数は 2^m となる。

「実施例」

第1図はこの発明の実施例を示し、液晶セル31はアクティブマトリクス形式のものであり、そのゲートバスにゲート駆動回路32が接続され、ソースバスにソース駆動回路33が接続される。ソース駆動回路33は第4図（カラー映像入力の場合は第5図）に示す構成とされる。

映像入力端子34よりこの例では各画素が D_0 、 $\sim D_3$ の4ビット（ $q=4$ ）の多階調デジタル映像信号が入力される。この映像入力信号中の上位3ビット D_4 、 $\sim D_6$ はゲート35を通じてソース駆動回路33へ供給されると共にこの3ビット D_4 、 $\sim D_6$ は補正回路36にて1減算され、3ビットの出力とされる。この補正回路36の3ビット出力はゲート37を通じてソース駆動回路33へ供給される。

この例では $q=4$ 、 $m=3$ であり、 $q-m=1$ であるから各フレームは2「フィールド」フィールド

9

図中の選択回路26、～26。で選択される出力 $V_0 \sim V_7$ はその入力映像信号 $D_0 \sim D_7$ の値により第2図に示ようになる。このように最下位ビット D_0 が“1”か“0”かにより、 $D_0 \sim D_7$ の値がこれより1減算した値が駆動回路33に入力され、第1フィールドでは $D_0 \sim D_7$ の値がそのまま入力されるため、1フレームで見ると、見掛上 $V_0, V_{1/2}, V_1, V_{3/2}, V_2, V_{5/2}, V_3, V_{7/2}, V_4, V_{9/2}, V_5, V_{11/2}, V_6, V_{13/2}, V_7$ の15種のレベルを $D_0 \sim D_7$ の値に応じて選択表示される。

補正回路36は1減算ではなく、1加算してもよい。その場合は $D_0 \sim D_7$ が共に“1”の時は、そのまま $D_0 \sim D_7$ を“1”として出力する。

一般的にソース駆動回路33の入力映像信号のビット数が m で $2^m = S$ の階調を駆動する場合に、端子34に入力される映像信号が q ビットの場合は1フレームを $2^{(q-m)} = \#$ フィールドで表示し、下位 $(q-m)$ ビットの内容に応じた数のフィールドだけ $\#$ フィールド中において補正回路の出力

11

ルドごとのクロック CK でダウンカウントされる。カウンタ42の計数値と比較器44で0と比較され、計数値が0または0より大である時は比較器44の出力は“1”となり、ゲート35を開き、ゲート37を閉じる。しかしカウンタ42の計数値が0より小になると、比較器44の出力が“0”となり、カウンタ42はディスイネーブル状態になり、計数動作を停止し、またゲート35が閉じ、ゲート37が開く。

なお端子43のクロックは1フレームを $2^{(q-m)}$ フィールドとした値をとる。このようにして駆動回路33の出力により m ビット入力に対する $2^m = S$ の階調の各隣接するものの間に見掛上 $2^{(q-m)} - 1$ の階調が得られることになる。

「発明の効果」

以上述べたようにこの発明によれば、駆動回路に供給する複数の駆動電圧 $2^m = S$ よりも多くの階調表示を見掛上行うことができ、従って、多くの階調表示を、液晶駆動装置の端子数が少ない状態で実施でき、液晶表示装置をIC化する場合や、

を駆動回路へ供給する。この場合表示できる階調数 P は

$$P = 2^{(q-m)} \cdot 2^m - (2^{q-m} - 1) \\ = 2^{(q-m)} \cdot (2^m - 1) + 1$$

となる。先に述べた $q = 4$ ビット、 $m = 3$ ビット、 $S = 8$ レベル、 $P = 15$ 階調については

$$P = 2^{(4-3)} \cdot (2^3 - 1) + 1 = 15$$

となる。

入力映像信号が q ビット、駆動回路33へ供給されるビット数が m の一般的構成の要部を第3図に示す。端子34の映像入力信号の上位 m ビットはゲート35へ直接供給されると共に補正回路36へ供給される。補正回路36はその入力が1加算又は1減算され、 m ビットの出力としてゲート37へ供給される。ゲート35、37の両出力は駆動回路33へ共通に供給される。

一方、入力映像信号中の下位 $(q-m)$ ビットは、端子41のフレームの開始を示す信号 LD で $(q-m)$ ビットのダウンカウンタ42にプリセットされ、カウンタ42は端子43よりのフィー

12

小規模構成とする場合に有効である。

4. 図面の簡単な説明

第1図はこの発明による液晶表示装置の一例を示すブロック図、第2図はその入力データと、駆動回路の出力電圧との関係を示す図、第3図はこの発明装置の一般的構成例の要部を示すブロック図、第4図は先に提案した白黒表示の多階調ディジタル映像信号液晶駆動装置を示すブロック図、第5図はそのカラー映像信号に適用した例を示すブロック図である。

特許出願人：風電器製造株式会社

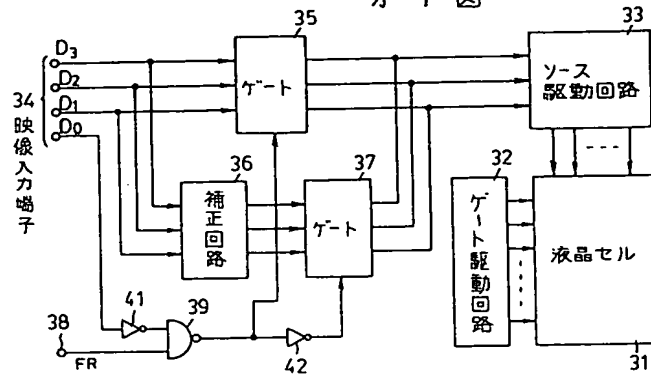
代理人：草野 卓

13

—752—

14

カ 1 図



カ 2 図

D ₃	D ₂	D ₁	D ₀	カ1のフィールド	カ2のフィールド
1	1	1	1	V ₇	V ₇
1	1	1	0	V ₆	V ₆
1	1	0	1	V ₆	V ₅
1	1	0	0	V ₅	V ₄
1	0	1	1	V ₄	V ₄
1	0	1	0	V ₄	V ₃
1	0	0	1	V ₃	V ₃
1	0	0	0	V ₃	V ₂
0	1	1	1	V ₂	V ₂
0	1	1	0	V ₂	V ₁
0	1	0	1	V ₁	V ₁
0	1	0	0	V ₁	V ₀
0	0	1	1	V ₀	V ₀
0	0	1	0	V ₀	V ₀
0	0	0	1		
0	0	0	0		

カ 3 図

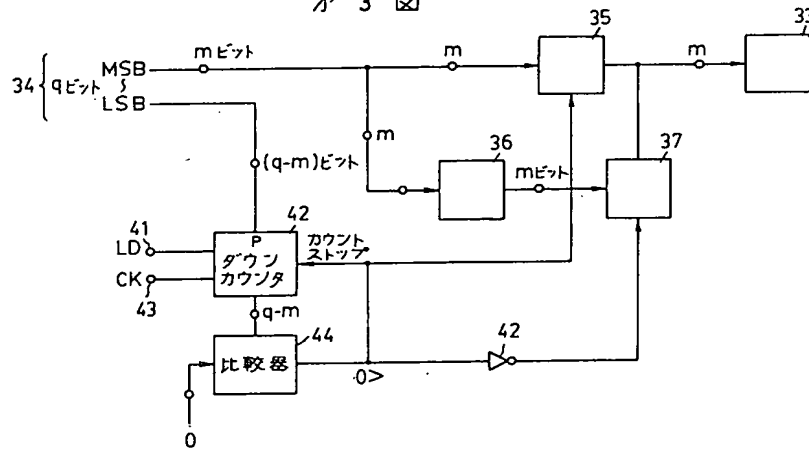


図4

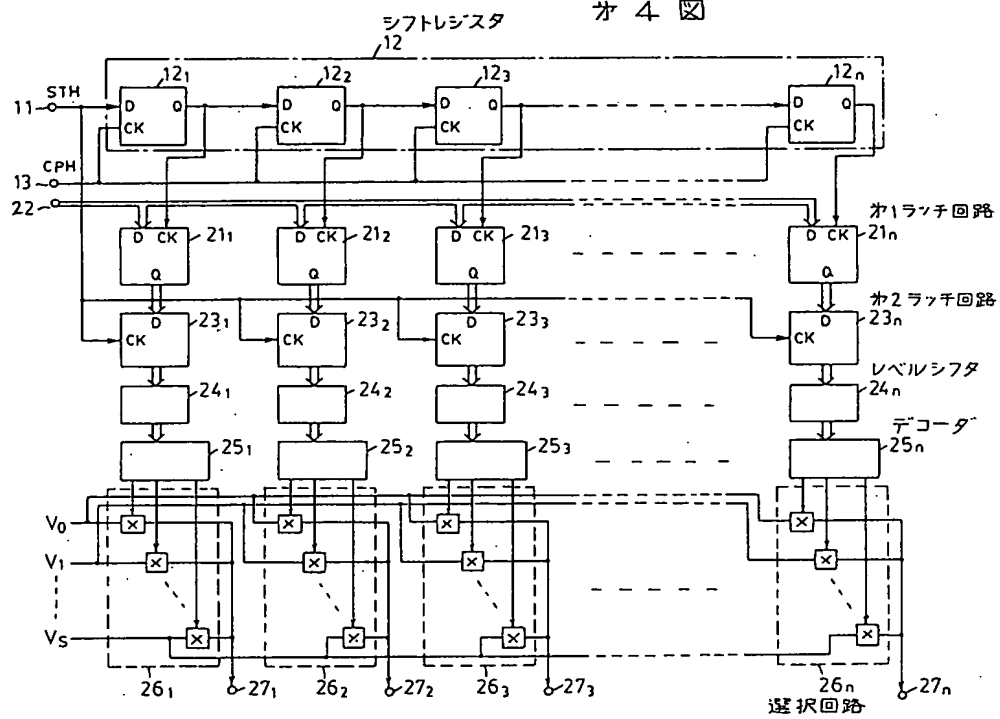
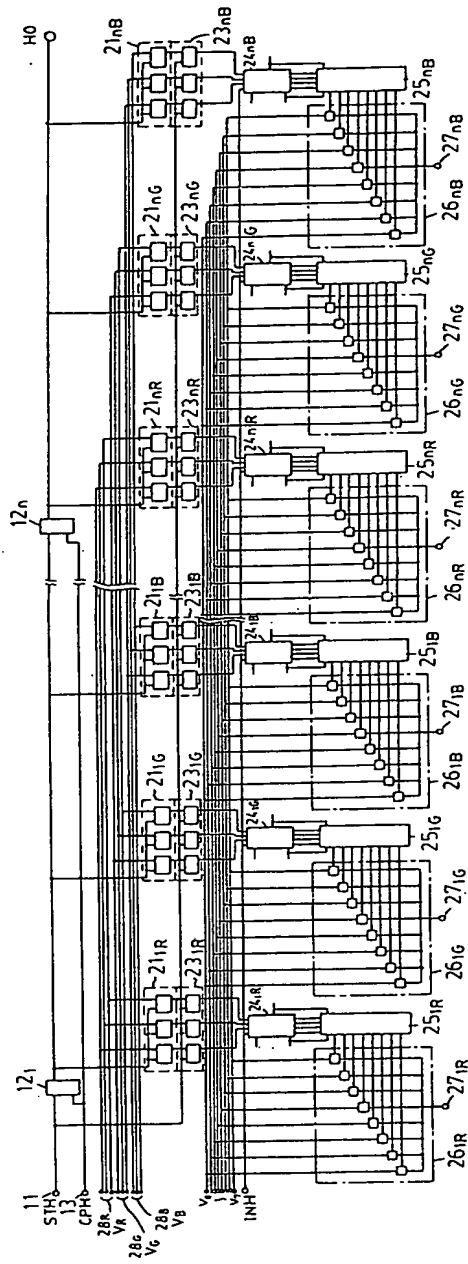


図 5



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.